

**SEMICONDUCTOR MEMORY DEVICE**

Patent Number: JP3066092  
Publication date: 1991-03-20  
Inventor(s): NAKAMURA KAN  
Applicant(s): FUJITSU LTD  
Requested Patent: ☐ JP3066092  
Application Number: JP19890202984 19890804  
Priority Number(s):  
IPC Classification: G11C11/406  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To reduce power consumption required for refreshing by storing access information of a memory area to which memory access is implemented and supplying a refresh signal only to a relevant memory area.

**CONSTITUTION:** A multiplexer 3 supplies refresh address signals R0 - R9 to memories M00 - M3n synchronously with a refresh timing signal phi2 supplied from a timing generator 1, and NAND gates NR0 - NR3 apply AND operation between an output signal of OR gates OR0 - OR3 and a row address strobe (RAS) timing signal RT to output RAS signals RAS0 - RAS3. Only a RAS signal corresponding to a FF keeping a data of H level among FFFF0 - FF3 is valid for refresh. Thus, no refresh is applied even at a refresh period to a memory area to which no access for read or write is implemented before refresh thereby reducing the power consumption.

---

Data supplied from the esp@cenet database - I2



3

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-66092

⑬ Int. Cl.<sup>9</sup>  
G 11 C 11/406

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)3月20日

8323-5B G 11 C 11/34 3 6 3 K

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 平1-202984

⑰ 出 願 平1(1989)8月4日

⑱ 発 明 者 中 村 冠 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

#### 明 細 書

#### 1. 発明の名称

半導体メモリ装置

#### 2. 特許請求の範囲

(1) ダイナミックメモリセルから成る複数のメモリ領域(M0～Mn)を、夫々のメモリ領域(M0～Mn)に対応する所定のリフレッシュ信号で指定することにより、メモリ領域(M0～Mn)毎にリフレッシュ制御を行なう半導体メモリ装置において：

前記メモリ領域(M0～Mn)の内、データ読出し又はデータ書込みにおけるメモリアクセスが行なわれたメモリ領域のアクセス情報を保持し、該アクセス情報に対応するメモリ領域に対してのみリフレッシュ時のリフレッシュ信号を供給するリフレッシュタイミグ制御部(5)を備えたことを特徴とする半導体メモリ装置。

(2) 請求項(1)の半導体メモリ装置において、前記リフレッシュタイミグ制御部はリセット

信号と同期して前記アクセス情報を消去すること  
を特徴とする。

#### 3. 発明の詳細な説明

##### 〔概要〕

リフレッシュ制御を必要とするダイナミックメモリセルから成るメモリ領域を有する半導体メモリ装置に関し、

所定周期で繰り返し行なうリフレッシュ動作に起因する消費電力を低減することを目的とし、

実際にデータ読出し又は書込みのためのメモリアクセス動作が行なわれたメモリ領域に対してはリフレッシュ動作を行なうが、メモリアクセス動作が行なわれない残余のメモリ領域に対してはリフレッシュ動作を行なわないことによって消費電力の低減を図る構成とする。

##### 〔産業上の利用分野〕

本発明は、リフレッシュ制御を必要とするダイナミックメモリセルから成るメモリ領域を有する

リフレッシュ周期について

半導体メモリ装置に関し、特に消費電力を低減する半導体メモリ装置に関する。

近年、電子機器の小形化や携帯化等の傾向に伴って小容量電源で動作可能なものや電池駆動可能なものが望まれており、例えば、ラップトップ型パーソナルコンピュータ、同型式ワードプロセッサ、携帯型ターミナル、その他音響機器、ビデオ機器等の消費電力を低減することが装置の性能評価の上で極めて重要な事項となっている。

こうした電子機器は大容量の半導体メモリ装置を内蔵しており、これらのメモリ装置の消費電力を低減することが重要な課題である。

#### 〔従来の技術〕

従来、大容量の半導体メモリ装置としては、集積度の優れたダイナミックRAM（以下、DRAMという）が使用されている。このような半導体メモリ装置は、例えば第3図に示すように構成されており、ダイナミックメモリセルで形成されているメモリ $M_{00} \sim M_{20}$ に所定タイミングでロウア

φを形成して出力する。

アドレスデコーダ2は、アドレスバスを介して供給される上位2ビットのアドレス信号 $A_{20}$ 、 $A_{21}$ をデコードすることにより4種類の信号 $AM_0 \sim AM_3$ を発生する。そして、図示するように、各信号 $AM_0 \sim AM_3$ とRASタイミング信号RTをORゲートを介して所定のNANDゲートの一方の入力接点に印加し、更に、各NANDゲートの他方の入力接点にリフレッシュタイミング信号φを印加することにより、4種類のRAS信号 $RAS_0 \sim RAS_3$ を形成する。又、各信号 $AM_0 \sim AM_3$ とCASタイミング信号CTを所定のNANDゲートに印加することにより4種類のCAS信号 $CAS_0 \sim CAS_3$ を形成する。

RAS信号 $RAS_0$ とCAS信号 $CAS_0$ は第1のメモリブロック $M_{00} \sim M_{09}$ のRAS端子とCAS端子、RAS信号 $RAS_1$ とCAS信号 $CAS_1$ は第2のメモリブロック $M_{10} \sim M_{19}$ のRAS端子とCAS端子、RAS信号 $RAS_2$ とCAS信号 $CAS_2$ は第3のメモリブロック $M_{20} \sim M_{29}$ のRAS端子とCAS端子、

ドレススローブ（Row Address Strobe）信号（以下、RAS信号という） $RAS_0 \sim RAS_3$ とカラムアドレススローブ（Column Address Strobe）信号（以下、CAS信号という） $CAS_0 \sim CAS_3$ を印加するのに同期してロウアドレス信号とカラムアドレス信号を各々印加することにより任意のメモリ領域をアクセスし、更にリードライト信号R/Wに同期してデータ $D_0 \sim D_7$ の読出し又は書込みを行なう構成となっている。又、リフレッシュ動作は、所定期間でRAS信号 $RAS_0 \sim RAS_3$ を印加すると共にリフレッシュアドレス信号 $R_{00} \sim R_{09}$ を印加することにより行なう構成となっている。

更に詳述すると、タイミングジェネレータ1はマイクロプロセッサ（図示せず）等のコントロールバスを介して供給されるクロック信号CLK、データ読取りタイミングを示すリード信号R、データの書込みタイミングを示すライト信号W、リフレッシュ動作のタイミングを示すリフレッシュ信号REFからRASタイミング信号RT、CASタイミング信号CT、及びリフレッシュタイミング信号

RAS信号 $RAS_3$ とCAS信号 $CAS_3$ は第4のメモリブロック $M_{30} \sim M_{39}$ のRAS端子とCAS端子に供給される。

夫々のメモリ $M_{00} \sim M_{39}$ は、マルチプレクサ3からの10ビットのアドレス信号 $A_{00} \sim A_{09}$ 又はリフレッシュアドレス信号 $R_{00} \sim R_{09}$ が供給されるように配線され、更に、書込みと読出しを制御するためのリードライト信号R/Wが供給されるように配線されると共に、データ $D_0 \sim D_7$ の入出力線がバッファ回路を介して配線されている。

リフレッシュカウンタ4は、所定期間でカウント動作することにより10ビットのリフレッシュアドレス信号 $R_{00} \sim R_{09}$ を出力し、そして、マルチプレクサ3がリフレッシュタイミング信号φに同期してリフレッシュアドレス信号 $R_{00} \sim R_{09}$ をメモリ $M_{00} \sim M_{39}$ に供給すると共に、RAS信号 $RAS_0 \sim RAS_3$ を供給することにより、リフレッシュ動作が行なわれる。

尚、データ読出しの1サイクル期間 $T_{rd}$ におけるタイミングチャートを第4図に示し、RAS信

号RAS0~RAS3が“L”レベルとなるのに同期してロウアドレスRAを供給すると共に、CAS信号CAS0~CAS3が“L”レベルとなるのに同期してコラムアドレスCAを供給し、更に、リードライト信号R/Wを“H”レベルにすることにより、データD0~D3の出力が確定する。

又、データ書き込み1サイクル期間T<sub>vi</sub>におけるタイミングチャートを第5図に示し、RAS信号RAS0~RAS3が“L”レベルとなるのに同期してロウアドレスRAを、CAS信号CAS0~CAS3が“L”レベルとなるのに同期してコラムアドレスCAを供給し、更に、リードライト信号R/Wを“L”レベルにすることにより、データD0~D3の入力が確定する。

更に又、第6図に示すように、リフレッシュ動作はRAS信号RAS0~RAS3とアドレス信号RAによって行なわれ、RAS信号RAS0~RAS3の発生に準じてメモリブロック毎にリフレッシュ動作が行なわれる。

が、メモリアクセス動作が行なわれない残余のメモリ領域に対してはリフレッシュ動作を行なわないことによって消費電力の低減を図る半導体メモリ装置を対象とする。

このような半導体メモリ装置に対し本発明は、DRAMからなる複数のメモリ領域M<sub>0</sub>~M<sub>3</sub>のリフレッシュ制御を、図示するようなRASタイミング制御部5によって行なう。

即ち、任意ビット数Jのアドレス信号をアドレスデコーダ6でデコードすることにより各メモリ領域M<sub>0</sub>~M<sub>3</sub>に対応する複数のデコード信号AM<sub>0</sub>~AM<sub>3</sub>を発生し、各信号AM<sub>0</sub>~AM<sub>3</sub>をデータ保持手段F<sub>0</sub>~F<sub>3</sub>に保持すると共に、リフレッシュ動作の周期に同期したリフレッシュタイミング信号φに同期して夫々の信号AM<sub>0</sub>~AM<sub>3</sub>をRAS信号RAS0~RAS3として各メモリ領域M<sub>0</sub>~M<sub>3</sub>に供給する。

そして、このリフレッシュ動作の周期に同期して任意ビット数mのリフレッシュアドレス信号を供給することにより、RAS信号RAS0~RAS3と協

【発明が解決しようとする課題】

しかしながら、このような従来の半導体メモリ装置にあつては、メモリ容量の大小に係わらず全てのメモリ領域に対して所定期間でリフレッシュ動作を行なう。従って、実際にはアクセスされないメモリ領域、換言すれば、処理に必要なデータを格納していない不使用のメモリ領域をもリフレッシュ動作を行なうので、電力を無用に消費する問題があった。

本発明はこのような課題に鑑みて成されたものであり、リフレッシュ動作に要する消費電力を低減することができる半導体メモリ装置を提供することを目的とする。

【課題を解決するための手段】

第1図は本発明の原理説明図である。

まず本発明は、DRAMからなるメモリ領域を有する半導体メモリ装置において、実際にデータの授受のためのメモリアクセス動作が行なわれるメモリ領域に対してはリフレッシュ動作を行なう

備してリフレッシュ動作を行なわせる。そして、メモリアクセスされたメモリ領域のデコード信号を該メモリ領域に対応するデータ保持手段に真の値として保持し、アクセスされないメモリ領域のデコード信号は該メモリ領域に対応するデータ保持手段には、偽の値として保持されることにより、実際の処理に関係するメモリ領域だけをリフレッシュするように構成する。

尚、メモリ領域M<sub>0</sub>~M<sub>3</sub>を夫々が下位アドレス信号に対応する複数のアドレス空間を有するようにブロック化して、上位アドレス信号をアドレスデコーダ6でデコードすることにより得られるRAS信号RAS0~RAS3を夫々所定のメモリ領域M<sub>0</sub>~M<sub>3</sub>に対応して供給することにより、所謂バンクセレクト機能を有するリフレッシュ制御、即ちブロック毎にリフレッシュ制御を行なってもよい。

又、各メモリ領域M<sub>0</sub>~M<sub>3</sub>を1バイト単位とし、各メモリ領域M<sub>0</sub>~M<sub>3</sub>に対してRAS信号RAS0~RAS3を対応させてもよい。

## 〔作用〕

このような構成を有する本発明の半導体メモリ装置によれば、メモリアクセスされたメモリ領域に対するデコード信号はデータ保持手段に保持され且つリフレッシュタイミングに同期して所定期のリフレッシュ動作が成されるので、データは保持されることとなり、一方、メモリアクセスされないメモリ領域に対するデコード信号はデータ保持手段に保持されないのでリフレッシュ動作が成されないこととなり、その結果、実質的に使用されないメモリ領域に対する消費電力を低減することができる。

## 〔実施例〕

第2図は本発明の一実施例を示した実施例構成説明図である。

まず、この実施例はバンクセレクト機能を有する半導体メモリ装置に関し、第1のバンクがメモリ $M_{00} \sim M_{0n}$ 、第2のバンクがメモリ $M_{10} \sim M_{1n}$ 、

第3のバンクがメモリ $M_{20} \sim M_{2n}$ 、第4のバンクがメモリ $M_{30} \sim M_{3n}$ で構成され、夫々のバンクはマイクロプロセッサ等のアドレスバスを介して供給されるアドレス信号 $A_0 \sim A_{21}$ の内の下位20ビット $A_0 \sim A_{19}$ でアクセスされる1メガ番地ずつのメモリ空間を有し、上位2ビットのアドレス信号 $A_{20}$ 、 $A_{21}$ が(0, 0)で第1のバンク、アドレス信号 $A_{20}$ 、 $A_{21}$ が(0, 1)で第2のバンク、アドレス信号 $A_{20}$ 、 $A_{21}$ が(1, 0)で第3のバンク、アドレス信号 $A_{20}$ 、 $A_{21}$ が(1, 1)で第4のバンクを指定し、第1のバンクから第4のバンクに向けて次第に上位アドレスのメモリ空間となっている。

まず、タイミングジェネレータ1はマイクロプロセッサ(図示せず)等のコントロールバスを介して供給されるクロック信号 $CLK$ 、データ読取りタイミングを示すリード信号 $R$ 、データの書込みタイミングを示すライト信号 $W$ 、リフレッシュ動作のタイミングを示すリフレッシュ信号 $REF$ から $RAS$ タイミング信号 $RT$ 、 $CAS$ タイミング信号

$CT$ 、及びリフレッシュタイミング信号 $\phi$ を発生する。

アドレスデコード2は、アドレスバスを介して供給される上位2ビットのアドレス信号 $A_{20}$ 、 $A_{21}$ をデコードすることにより第1～第4のバンクに対応する4種類の信号 $AM_0 \sim AM_3$ を発生する。

$OR_0 \sim OR_3$ は $OR$ ゲートであり、夫々所定の信号 $AM_0 \sim AM_3$ が一方の入力接点に印加され、他方の入力接点には所定のフリップフロップ $FF_0 \sim FF_3$ の出力信号が印加される。フリップフロップ $FF_0 \sim FF_3$ は夫々所定の信号 $AM_0 \sim AM_3$ が印加されるとこれを保持して保持期間中その信号を出力すると共に、リセット信号 $RS$ がリセット接点に印加されると初期化される機能を有する。

$NA_0 \sim NA_3$ は $NAND$ ゲートであり、 $OR$ ゲート $OR_0 \sim OR_3$ の出力信号と $RAS$ タイミング信号 $RT$ の論理積演算を行なって、各バンクに対応する $RAS$ 信号 $RA_{S0} \sim RA_{S3}$ を出力する。

$NC_0 \sim NC_3$ は $NAND$ ゲートであり、信号 $AM_0 \sim AM_3$ と $CAS$ タイミング信号 $CT$ との論理積演算

を行なって、各バンクに対応する $CAS$ 信号 $CA_{S0} \sim CA_{S3}$ を出力する。

そして、 $RAS$ 信号 $RA_{S0} \sim RA_{S3}$ と $CAS$ 信号 $CA_{S0} \sim CA_{S3}$ は夫々特定のバンク毎のメモリ $M_{00} \sim M_{3n}$ の $RAS$ 信号入力端子と $CAS$ 信号入力端子に供給されるように配線されている。

マルチプレクサ3は、アドレスバスからの前段のマルチプレクサを介して供給される10ビットのアドレス信号 $MADD_0 \sim MADD_9$ をデータ読取りサイクルとデータ書込みサイクルでメモリ $M_{00} \sim M_{3n}$ のアドレス入力接点に転送し、リフレッシュサイクルではリフレッシュカウンタ4から出力される10ビットのリフレッシュアドレス信号 $R_0 \sim R_9$ をメモリ $M_{00} \sim M_{3n}$ のアドレス入力接点に転送するように、リフレッシュタイミング信号 $\phi$ に同期して切り換え動作する。

更に、夫々のメモリ $M_{00} \sim M_{3n}$ は、書込みと読出しを制御するためのリードライト信号 $R/\bar{W}$ が供給されるように配線されると共に、データ $D_0 \sim D_9$ の各ビットに対応する入出力線がバッファ回路を

介して配線されている。

次に、かかる構成を有する実施例の作動を説明する。

まず、データ読出しサイクルの動作は第4図と同様であり、RAS信号RAS0～RAS3が“L”レベルとなるのに同期してロウアドレスRAを示すアドレス信号MADD<sub>0</sub>～MADD<sub>3</sub>を、CAS信号CAS0～CAS3が“L”レベルとなるのに同期してカラムアドレスCAを示すアドレス信号MADD<sub>0</sub>～MADD<sub>3</sub>を供給し、更に、リードライト信号R/Wを“H”レベルにすることにより、RAS信号とCAS信号で指定されたバンク中で且つアドレス信号A<sub>0</sub>～A<sub>15</sub>で指定されたアドレスのデータD0～D<sub>15</sub>がアクセスされる。

ここで、フリップフロップFF<sub>0</sub>～FF<sub>3</sub>は、デコード信号AM0～AM3の内“H”レベルとなった信号だけをセットする。例えば、第1のバンク中のアドレス空間がアクセスされた場合には、フリップフロップFF<sub>0</sub>にデコード信号AM0がセットされる。

を第6図に示すようなタイミングで供給する。ここで、フリップフロップFF<sub>0</sub>～FF<sub>3</sub>の内、“H”レベルのデータを保持するものに対応するRAS信号だけがブレーキをリフレッシュを有効とする。即ち、リフレッシュ動作前に読取り又は書込みのためのアクセスが行なわれたバンクに対応するRAS信号はリフレッシュサイクル中に“L”レベルとなるので有効となり、他のバンクに対してはRAS信号は“H”レベルのままとなるので、たとえリフレッシュの周期であってもリフレッシュ動作が行なわれない。

そして、メモリアクセスされるバンクが拡大するに準じてリフレッシュされるメモリ領域が次第に拡大することとなる。

このように、アクセスされないメモリ領域に対してはリフレッシュ動作を行なわないので消費電力を低減することができる。又、フリップフロップFF<sub>0</sub>～FF<sub>3</sub>は、電源投入直後のマイクロプロセッサのイニシャライズ期間に供給されるリセット信号RSに同期して初期化されるので、再動作を行

次に、データ 込み動作を説明すると、第5図に示すのと同様に、RAS信号RAS0～RAS3が“L”レベルとなるのに同期してロウアドレスRAを示すアドレス信号MADD<sub>0</sub>～MADD<sub>3</sub>を、CAS信号CAS0～CAS3が“L”レベルとなるのに同期してカラムアドレスCAを示すアドレス信号MADD<sub>0</sub>～MADD<sub>3</sub>を供給し、更に、リードライト信号R/Wを“L”レベルにすることにより、RAS信号とCAS信号で指定されたバンク中で且つアドレス信号A<sub>0</sub>～A<sub>15</sub>で指定されたアドレスのメモリ空間にデータD0～D<sub>15</sub>が書込まれる。

ここで、フリップフロップFF<sub>0</sub>～FF<sub>3</sub>は、データ読取りサイクル同様に、デコード信号AM0～AM3の内“H”レベルとなった信号だけをセットする。

次に、リフレッシュ動作を説明する。まず、マルチプレクサ3がリフレッシュタイミング信号φに同期してリフレッシュアドレス信号R<sub>0</sub>～R<sub>3</sub>をメモリM<sub>00</sub>～M<sub>31</sub>に供給すると共に、RASタイミング信号RTに同期してRAS信号RAS0～RAS3

なっても、リフレッシュ動作に対する消費電力の低減化が図られる。

#### 【発明の効果】

以上説明したように本発明によれば、メモリアクセスされたメモリ領域に対するRAS信号はデータ保持手段に保持され且つリフレッシュタイミングに同期して所定期間のリフレッシュ動作が成されるのでデータは保持されることとなり、一方、メモリアクセスされないメモリ領域に対するRAS信号はデータ保持手段に保持されないののでリフレッシュ動作が成されないこととなり、その結果、実質的に使用されないメモリ領域に対する消費電力を低減することができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理説明図；

第2図は実施例の構成説明図；

第3図は従来例の構成説明図；

第4図はDRAMの読出しタイミングを示すタイ

ミングチャート、;

第5図はDRAMの書き込みタイミングを示すタイ

ミングチャート;

第6図はDRAMのリフレッシュタイミングを示すタイミングチャートである。

図中の符号、

1 : タイミングジェネレータ

2, 6 : アドレスデコーダ

3 : マルチプレクサ

4 : リフレッシュカウンタ

5 : RASタイミング制御部

$F_0 \sim F_n$  : データ保持手段

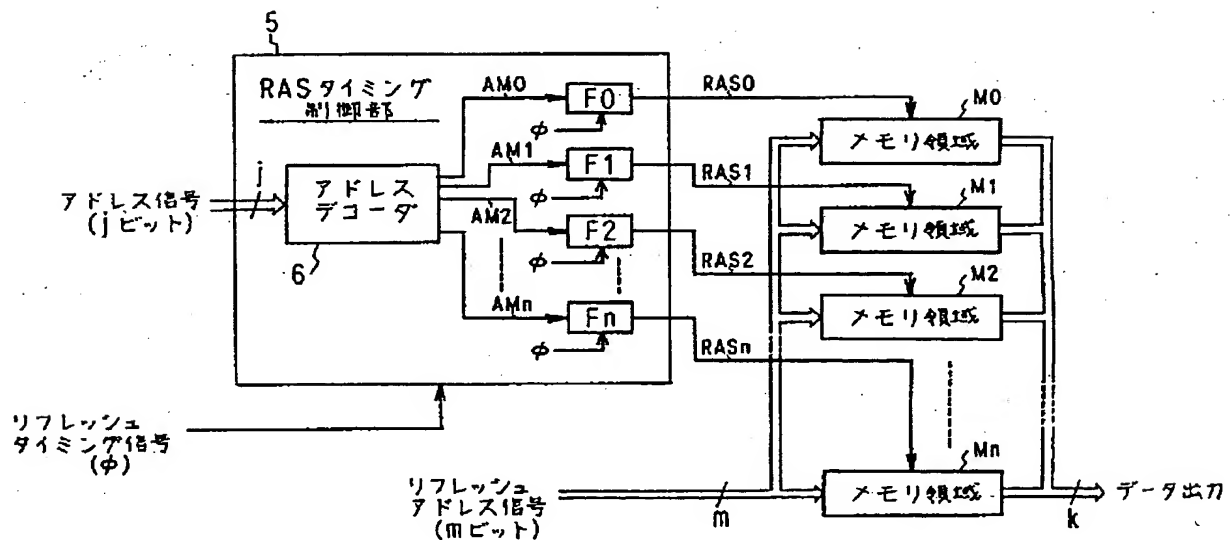
$FF_0 \sim FF_n$  : フリップフロップ

$M_0 \sim M_n$  : メモリ領域

$M_{00} \sim M_{nn}$  : メモリ

$OR_0 \sim OR_n$  : ORゲート

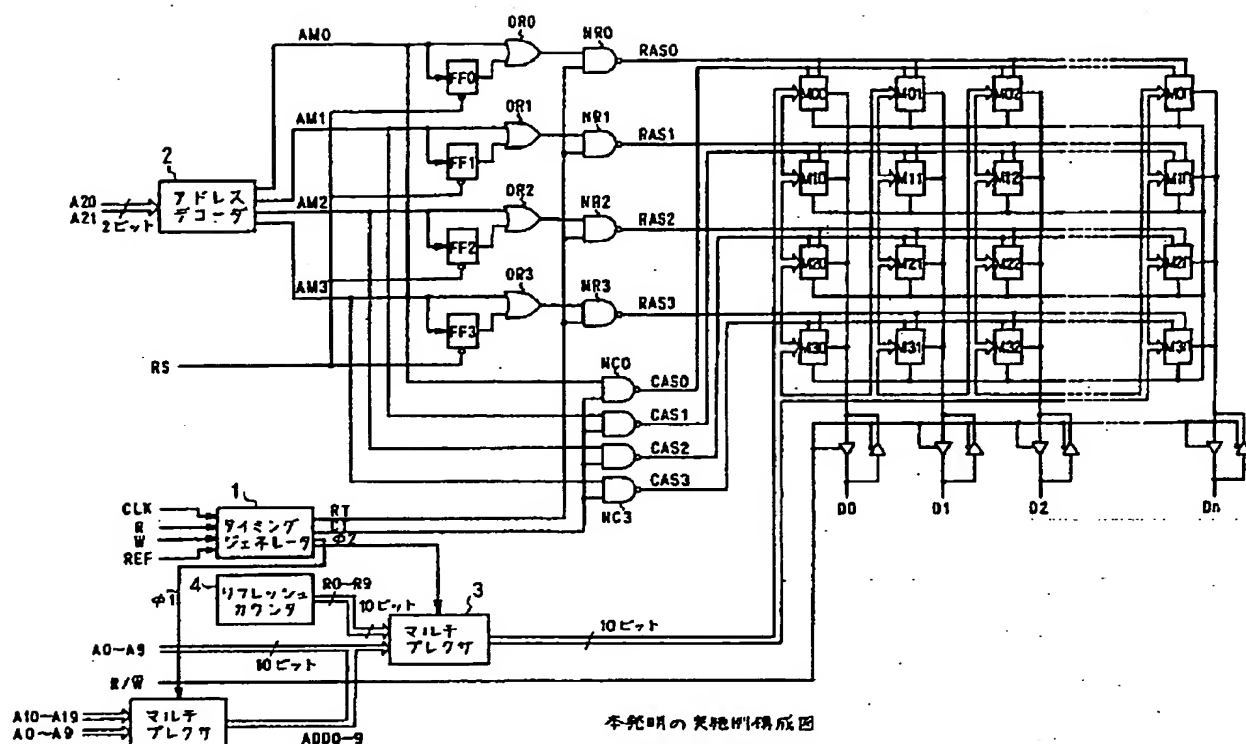
$NR_0 \sim NR_n, NC_0 \sim NC_n$  : NANDゲート



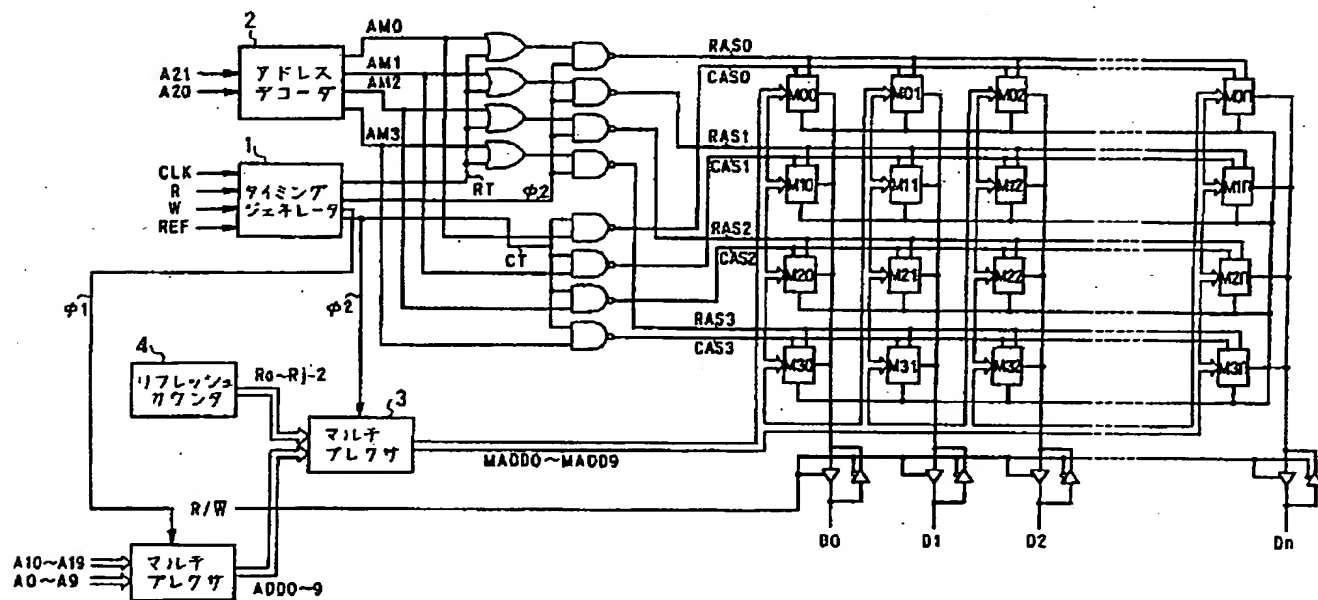
本発明の原理説明図

# 第 1 図

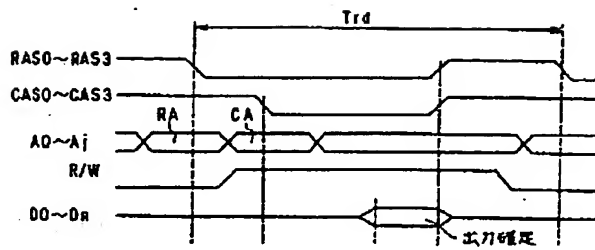




第2図

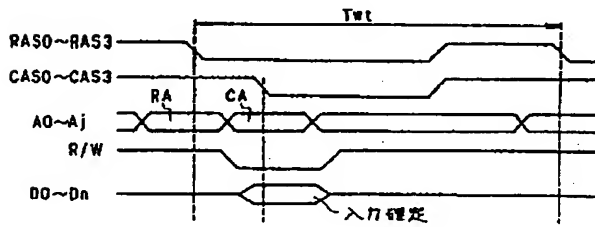


第3図



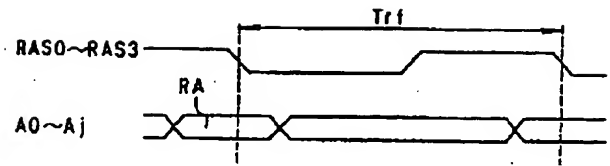
リードサイクルのタイミングチャート

第4図



ライトサイクルのタイミングチャート

第5図



リフレッシュサイクルのタイミングチャート

第6図